

一种优化等离子体刻蚀工艺去静电步骤的方式

马宏潇¹ 厉渊² 徐旻²

¹(电信科学技术研究院 北京 100191)

²(中芯国际集成电路制造有限公司 北京 100176)

摘 要 该文研究并优化了等离子体刻蚀后、去静电过程中等离子体辅助晶片去静电的工艺步骤。通过数据模拟和实验设计,研究了极板间距、反应室压力、射频电源功率和射频电源关闭方式对晶片残存电荷的影响。首先,采用基于蒙特卡罗随机数方法的应用软件 Pegasus 对去静电过程中反应室内的等离子体分布进行了模拟,研究了等离子体能量分布图并分析了极板间距与等离子体分布均匀性的关系,得到最佳极板间距范围。其次,以反应室压力、射频电源功率与极板间距为实验变量,通过实验设计得到残余电荷量最少的实验组。最后,以该实验组为基础,对射频电源的关闭方式进行优化,通过检测晶片脱离吸附装置时的电势差,得到最优射频电源关闭方式。该文研究结果可用于优化晶片去静电步骤,进而提高工艺可靠性和产品良率。

关键词 刻蚀; 去静电; 等离子体; 残存电荷; 良率

中图分类号 TN 304 文献标志码 A doi: 10.12146/j.issn.2095-3135.20181008002

Optimize the Step of Electrostatic Discharge in Plasma Etching Process

MA Hongxiao¹ LI Yuan² XU Min²

¹(Chinese Academy of Telecommunication Technology, Beijing 100191, China)

²(Semiconductor Manufacturing International Corporation, Beijing 100176, China)

Abstract In this paper, the process steps of plasma-assisted wafer destaticization after plasma etching and destaticization were studied and optimized. Through the data simulation and experimental design, the effects of plate spacing, reaction chamber pressure, radio frequency (RF) power supply and RF power off mode on the residual charge of the wafer were studied. Firstly, the plasma distribution of the reaction chamber in the destaticization process was simulated by Monte Carlo random number method based on software Pegasus. The plasma energy distribution map was studied and the plate spacing and plasma distribution uniformity were analyzed. The relationship had been obtained with the best range of plate spacing. Secondly, the reaction chamber pressure, RF power and plate spacing were used as experimental variables, and the experimental group with the lowest residual charge was obtained through experimental design. Finally, based on the experimental group, the RF power supply shutdown mode was optimized. By detecting the potential difference when the wafer was detached from the adsorption device, the optimal RF power supply shutdown mode was

收稿日期: 2018-10-08 修回日期: 2018-12-20

作者简介: 马宏潇(通讯作者), 硕士研究生, 研究方向为等离子体蚀刻技术及数字电路设计, E-mail: 377247147@qq.com; 厉渊, 硕士研究生, 研究方向为半导体制造; 徐旻, 硕士研究生, 研究方向为介电质蚀刻及半导体蚀刻设备。

obtained. The results of this paper could be used to optimize the wafer destaticization step and improve process reliability and product yield.

Keywords etch; de-chuck; plasma; residual charge; yield

1 引 言

随着半导体制造技术的发展,工艺节点不断缩减,后段铜互连技术已被广泛应用。众所周知,铜互连技术的结构基础是大马士革结构,而大马士革结构的刻蚀在后段工艺中占据了重要的位置。2017年,Briggs等^[1]研究报告指出,后段刻蚀方式有很多类型,如先刻蚀通孔再刻蚀沟道、先刻蚀沟道再刻蚀通孔和通孔沟道同时刻蚀等。但无论哪种方式,刻蚀后晶片往往存在静电残余,而去静电的好坏直接影响了沟道和通孔的质量。

在后段等离子体电介质刻蚀之后的清洗工艺中,业界常用的一种做法是使用水溶性多组分有机混合物。2015年,张汝京和王志华^[2]深入研究了后段等离子体刻蚀的污染和清洗技术,在“局部电介质层去除”步骤之后,可以用清洗工艺中的水溶性多组分有机主体混合物(溶液A)将通孔与沟道之中残存的硅、碳和铜元素等副产物去除。本文在上述工作基础之上,研究了刻蚀后带有残存电荷晶片的铜表面在上述溶液A中的电解情况。等离子体刻蚀后铜线表面存在部分电荷残存现象,这在后续溶液清洗过程中会造成严重的铜损耗。2018年,Shama等^[3]的研究也指出,清洗溶液的改变可以适当地调节晶圆静电残留,采用另一种清洗溶液(溶液B)(其主体为有机物电解液,且不易与铜金属发生氧化还原反应)与上述溶液A对比清洗效果。结果显示,使用溶液B清洗后铜金属层未出现大面积元素稀疏的情况,且因铜损耗造成的产品良率降低也未发生。这表

明铜损耗的主要原因是晶片表面存有残存电荷,而溶液B不易与铜金属发生氧化还原反应。但因溶液B对硅、碳和铜元素残存物清洗能力较弱,且对金属层两侧电介质层有破坏性的工艺限制,导致介电常数(K)值升高,考虑到清洗残留以及清洗效果,改变清洗溶液的类型不能从根本上解决残留电荷的问题。

研究国内外等离子体辅助去静电优化方法发现,主要研究集中在等离子体辅助去静电过程的程式优化,即对反应室压力、射频电源功率、温度和等离子体流量等变量的控制,而对于等离子体均匀性以及射频电源关闭方式的优化并未提及^[4-5]。本文在此基础上,通过采用等离子体均匀性以及射频电源关闭方式的优化、辅助程式优化3种方式来减少晶片上的残存电荷(Q)。具体地,以先刻蚀通孔(VIA)再刻蚀沟道(Trench)的刻蚀方式,即VIA优先为实验基础^[1],研究并优化了“VIA等离子体刻蚀”工艺步骤后,去静电过程中等离子体辅助晶片去静电的工艺步骤,并在采用业界常用的清洗溶液的前提下,降低了晶片电荷量,最终一定程度上在刻蚀后段(Etch Beol)提高了产品良率。

2 实验设计

图1为去静电装置示意图,去静电实验过程涉及射频电源、耦合电容器、吸附装置、抽气阀门和等离子体输入装置等。当射频电源与反应离子刻蚀中晶片相连接时,从统计学上说,电子撞击晶片的概率大于正离子,由于其具有很高

的反应特性, 电子更易于被晶片表面吸收, 造成电荷累积。因电容耦合电源实验模型应用广泛且方便扩大实验现象, 故本文采用该实验模型。实验中, 先接通电源, 在密闭反应室内产生等离子体, 通过等离子体转移晶片表面电荷后, 再关闭吸附装置, 以此来模拟去静电过程。

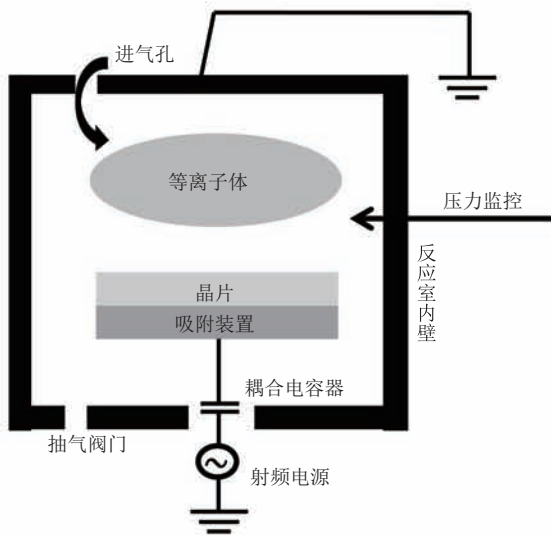


图 1 去静电装置示意图

Fig. 1 De-chuck's device schematic chamber

本文首先采用基于蒙特卡罗随机模拟方法的 Pegasus 软件来模拟等离子体能量分布, 进而研究极板间距 (Gap) 值对等离子体能量的分布影响。模拟中具体程式数值设定与刻蚀条件有关 (因条件限制无法公开)。在同样大小的射频电源功率下, 通过调整粒子输入与碰撞截面的距离即 Gap 值 (0.67~0.87 mm) 得到两组实验结果。

其次, 以模拟结果为基础来选取最佳 Gap 值范围, 考察反应室内压力、射频电源功率、Gap 值对等离子体去静电过程的影响。实验中其他条件均保持一致, 以反应室内压力、射频电源功率、Gap 值为变量, 利用实验设计 (DOE) 得到 7 组不同的去静电程式。其中, 压力、射频电源功率和 Gap 值的数值均做归一化, 基准值分别取三组, 实验中晶片静电电荷用静电荷探测器来测定。

最后, 考察关闭电源的方式对射频电源电势的影响, 三种关闭方式分别是直接关闭电源、不关闭电源和电源功率大小按比例减小到零, 实验中其他条件与上述 DOE 中静电荷量最少的组合实验条件相同。电源功率大小随时间减小的方式较为特殊, 需在设备程式中设定电源功率随时间减小的函数 $y = -2/3x + 100$ 。其中 x 为时间, 变化范围 0~150 s; y 为电源功率大小, 变化范围如表 1 所示, 归一化后为 0.15~1.00。

3 实验结果

3.1 模拟静电过程中极板间距值对等离子体能量的分布影响

图 2 是在同样大小的射频电源功率下, 通过调整粒子输入与碰撞截面的距离即 Gap 值 (0.67~0.87 mm) 得到的模拟去静电过程中等离子体能量分布的两组结果。从模拟 1 的实验结果 (图 2(a)) 可以看出, 晶片边缘位置的离子能量远高于晶片中心区域, 离子浓度变化范围从 $3.000E+017$ 到 $5.350E+017$ 。与模拟 2 的实验结果 (图 2(b)) 对比, 当 Gap 增大时, 离子浓度变化范围从 $4.000E+017$ 到 $5.201E+017$, 即离子能量分布较均匀, 等离子体在反应室内的均一性提高。Franz 等^[6]研究表明, 晶圆表面等离子体分布不均匀易形成电压差, 产生电荷累积, 造成电弧放电等严重危害, 而均一性较强的等离子体在转移电荷时展现出更优秀的的能力。因此, 在后续实验设计中, 以本模拟结果为基础来选取最佳 Gap 值范围。

3.2 反应室内压力、射频电源功率对残存电荷的影响

在最佳 Gap 值范围内, 考察反应室内压力、射频电源功率、Gap 值对等离子体去静电过程的影响, 结果如表 1 所示。实验结果表明:

组合 (5) 残存电荷量最少, 该组中射频电源

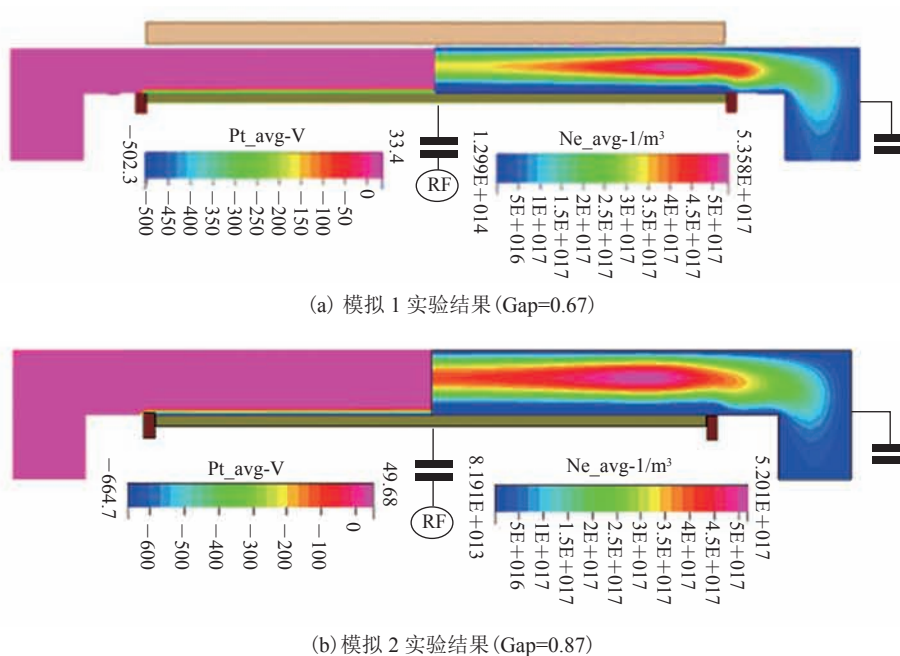


图 2 模拟去静电过程中等离子体能量分布

Fig. 2 Plasma energy distribution during de-chuck

表 1 不同的去静电程式组合

Table 1 Different combinations of de-chuck's recipes

实验组	反应室内压力(mTorr)	射频电源功率(W)	Gap (mm)	实验结果 (Q/cm^2)
(1)	0.15	0.17	0.67	5.60~7.21 (E10)
(2)	1.00	1.00	0.80	3.62~5.24 (E10)
(3)	0.15	0.15	0.80	6.06~7.66 (E10)
(4)	1.00	0.67	0.80	6.87~9.12 (E10)
(5)	0.15	0.17	0.87	1.63~3.37 (E10)
(6)	1.00	0.67	0.87	5.59~7.51 (E10)
(7)	0.60	0.17	0.87	5.86~8.42 (E10)

功率偏小, 为 0.17 W。这是因为在去静电过程中, 等离子体的作用是转移电荷而非轰击, 所以无需高能量的等离子体^[7]。而与组合(3)中功率(0.15 W)对比, 射频电源功率存在极小值的限制, 以便反应室内产生足够的等离子体转移电荷。

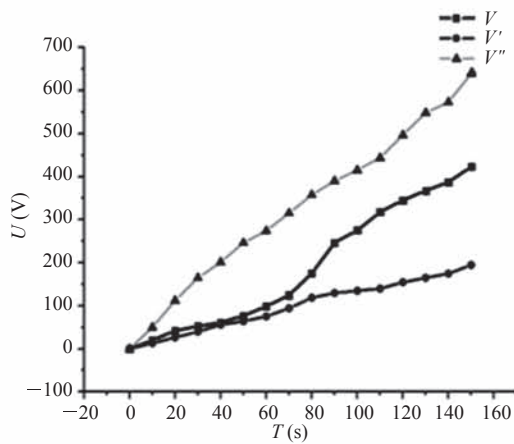
反应室的压力会影响等离子体均匀分布, 而影响压力的两个主要条件是气体流量和抽气阀门的开度。这里主要通过调整抽气阀门的开度(程式中流量设为固定值)来控制反应室的压力。从理论上分析, 当阀门开度大时, 反应室内压力

会变小, 等离子体对于电荷转移速度会增加。如表 1 中组合(5)与组合(7)实验相比, 反应室内压力差值为 0.45 mTorr, 组合(5)压力较低, 满足了等离子体快速地转移电荷; 而组合(7)在其他条件变化不大的情况下, 由于压力较大, 相同时间内晶片上残存电荷更多。

3.3 射频电源关闭方式的优化

图 3 是 3 种关闭电源方式对射频电源电势的影响结果。其中, V 曲线表示不关闭电源, V' 表示电源按比例随时间减小, V'' 表示直接关闭

射频电源, 纵轴各点电压值作数据归一化。从图 3 可以看出, 去静电过程开始时, 等离子体与电子的中和过程较为稳定, V' 与 V'' 曲线变化不大, 但在 70 s 时, V'' 曲线即直接关闭射频电源的方式会使晶片电势突变。主要原因是过高浓度的等离子体与晶片表面形成局部静电场, 抑制了等离子体辅助去静电的过程, 发生电势突变。晶片总体电势变化幅度较大, 偏离目标值, 阻碍晶片脱离吸附装置。当采用射频电源随时间按比例减小到零的处理方式时, 晶片总体电势变化幅度较小, 去静电过程越稳定。



注: V' 曲线表示不关闭电源; V'' 表示电源按比例随时间减小; V''' 表示直接关闭射频电源

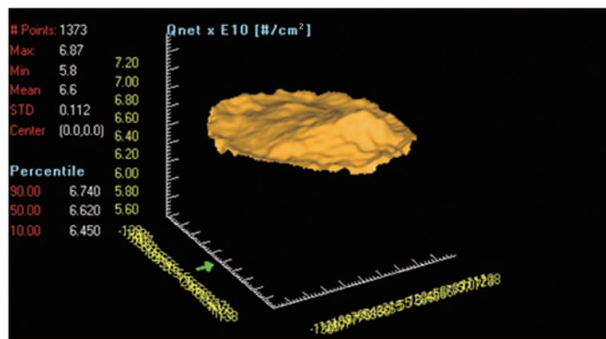
图 3 对于电源关闭的不同处理方式

Fig. 3 Different ways to handle power

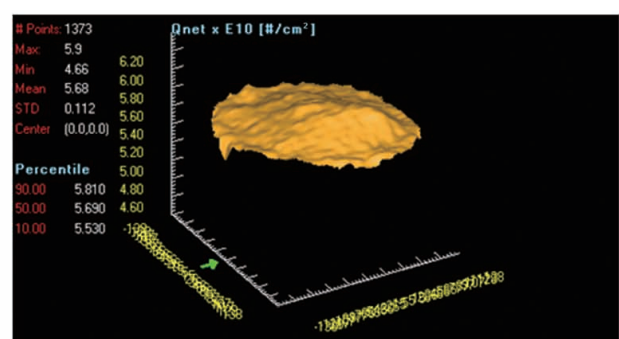
3.4 优化过程对晶片残存电荷的影响

图 4 为去静电优化前后的晶片上去静电后静电电荷数变化, 优化后实验环境与表 1 中第(5)组实验条件相同, 比对实验条件借鉴国内中芯国际公开发表论文中数据^[8]。使用一定数量的晶片, 测量所有晶片刻蚀后的静电电荷数并取其均值。从图 4 可以看出, 优化后静电电荷数明显减少, 电荷数从晶片边缘到晶片中心位置均少了 $1.2E10/cm^2$ 。

与国外类似研究对比发现^[7-8], 其研究主要集中在调节控制反应室压力与射频功率电源的数值来优化等离子体的均匀性, 而对于 Gap 值以及电源关闭方式的优化并未提及。从 Yang 等^[7]与 Ren 等^[8]的研究结果中可以看出, 优化压力与射频电源功率的方式虽然降低了晶圆上的残余静电荷量, 但只是针对性地解决了晶圆的边缘位置, 其他位置的静电荷量并未减少, 依旧会造成金属层铜损。图 5 为采用透射电子显微镜(TEM)对第 n 层金属(M_n)和第 $n+1$ 层金属(M_{n+1})进行元素分析的结果。比较图 5(a)和图 5(b)可以发现, 图 5(a)中 M_n 金属层白色区域(A' 处)明显, 表明 M_n 金属层稀疏, 即依然有严重的铜损耗, 铜连线有断路的情况。本文通过实验调节 Gap 值以及电源关闭方式的优化, 加强了等离子体辅助去静电的能力, 使晶圆脱离静电卡盘后各个区域的静电残余量都减小, 增加了去静电的均匀性, 所



(a) 模拟 1 实验结果(Gap=0.67)

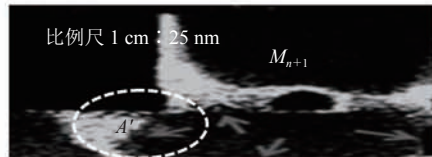


(b) 模拟 2 实验结果(Gap=0.87)

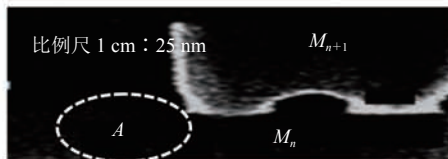
图 4 优化去静电过程对晶片的影响

Fig. 4 Optimizing the process of de-chuck

以本文优化效果更好。但与其他优化方式对比, 本文优化方法增加了刻蚀过程的工艺步骤, 在一定程度上降低了工艺稳定性但增大了经济成本。



(a) n 层金属 (M_n) 电解透射图



(b) 正常 n 层金属 (M_n) 透射图

图 5 透射电子显微镜对 M_n 和 M_{n+1} 做元素分析

Fig. 5 Transmission electron microscope doing elemental qualitative analysis of M_n and M_{n+1}

4 总 结

本文通过等离子体能量分布模拟、去静电实验设计和优化射频电源关闭方式, 对等离子体辅助去静电过程进行了优化; 并依靠对晶片残存电荷的检测和透射电子显微镜对金属层的分析, 验证了优化过程的可行性和有效性。另外, 本文优化过程应用范围广泛, 可用于提高工艺可靠性和产品良率, 但该优化方法也增加了工艺步骤及成本。在此优化基础之上, 可将等离子体均匀性优化与电源关闭方式优化, 同时利用 DOE 来得到优化实验组, 达到减少成本的目的。

参 考 文 献

[1] Briggs B, Wilson CJ, Devriendt K, et al. N5 technology node dual-damascene interconnects

enabled using multi patterning [C] // 2017 IEEE International Interconnect Technology Conference (IITC), 2017: 1-3.

- [2] 张汝京, 王志华. 纳米集成电路制造工艺 [M]. 北京: 清华大学出版社, 2015: 162-164.
- [3] Shama A, Blaga J, Agrawal S, et al. Optimization of wet clean and its cost effectiveness in dual Damascene 14 nm BEOL [C] // 2018 29th Annual SEMI Advanced Semiconductor Manufacturing Conference (ASMC), 2018: 128-130.
- [4] Lee J, Kim M, Lee J, et al. Study on defect reduction for high ratio etch process [C] // 2017 28th Annual SEMI Advanced Semiconductor Manufacturing Conference (ASMC), 2017, doi: 10.1109/ASMC.2017.7969232.
- [5] Gattere G, Rizzini F, Corso L, et al. Experiment investigation of mems DRIE etching dimensional loss [C] // 2018 IEEE International Symposium on Inertial Sensors and Systems (INERTIAL), 2018, doi: 10.1109/ISISS.2018.8358123.
- [6] Franz G, Averbek R, Auer M, et al. Damage in III/V semiconductors caused by hard- and soft-etching plasmas [C] // 2000 5th International Symposium on Plasma Process-Induced Damage, 2000, doi: 10.1109/PPID.2000.870644.
- [7] Yang YM, Lim SW, Hong J, et al. Silicon trench etch uniformity improvement for microloading and macro-to-macro loading for sub 14 nm node [C] // 2018 IEEE International Interconnect Technology Conference (IITC), 2018: 79-81.
- [8] Ren J, Zhang HY, Zhang YY. SiN removal process for poly damage control in memory flash, [C] // 2017 China Semiconductor Technology International Conference (CSTIC), 2017, doi: 10.1109/CSTIC.2017.7919790.