

基于积层胶膜材料封装基板的信号损耗研究

孔维坤^{1,2,3#}, 钟诚^{1,2#}, 陈文博^{1,2}, 于淑会^{1,2*}, 孙蓉^{1,2}

¹ (中国科学院深圳先进技术研究院, 深圳 518055)

² (深圳先进电子材料国际创新研究院, 深圳 518103)

³ (中国科学技术大学纳米科学技术学院, 合肥 230026)

摘要: 在摩尔定律接近极限, 下一代集成电路技术难度大且成本激增的背景下, 先进的封装基板是支持系统集成以及巨量 I/O 提升的重要载体, 是后摩尔时代的核心部件之一。基于积层绝缘胶膜 (Build-up Film, BF) 材料的半加成法工艺是实现细间距多层封装基板的主要途径之一。鉴于电子设备在高频高速场景下运行时信号完整性问题日益凸显, 本文深入探讨了 BF 材料及结构特征对信号传输损耗的影响。基于微带线、过孔等典型基板结构, 通过电学仿真分析系统研究了 BF 材料参数与信号传输性能之间的关系。研究发现, 在微带线结构中, 信号传输损耗随频率的增加而增大, 且这一损耗与 BF 材料的介电损耗因子密切相关。而在过孔结构中, BF 材料的介电常数对等效电容和阻抗极值有显著影响, 进而影响阻抗的不匹配度。尽管 BF 材料特性对阻抗不匹配有一定影响, 但过孔结构本身的设计仍是影响阻抗匹配度的主要因素。此外, 高频下导体趋肤效应导致的导体损耗随着铜箔粗糙度的增加而增加, 这为封装基板制造过程中的铜箔质量控制提供了重要参考。本研究揭示了 BF 材料及结构特征对信号传输损耗的影响机制, 为 BF 材料物性及封装基板的设计和优化提供了理论依据。

关键词 积层胶膜材料; 封装基板; 微带传输线; 过孔; 传输损耗; 电磁仿真;

中图分类号: TM215.1 文献标志码 A doi: 10.12146/j.issn.2095-3135.20240119001

Study on Signal Loss of Substrate Based on Build-Up Film Material

KONG Weikun^{1,2,3}, ZHONG Cheng^{1,2}, CHEN Wenbo^{1,2}, YU Shuhui^{1,2*}, SUN Rong^{1,2}

¹ (Shenzhen Institute of Advanced Technology, Chinese Academy of Sciences, Shenzhen, 518055, China)

² (Shenzhen Institute of Advanced Electronic Materials, Shenzhen, 518103, China)

³ (Department of Nano Science and Technology, University of Science and Technology of China, Hefei, 230026, China)

Abstract: Against the backdrop of Moore's Law approaching its limit and the difficulty and surging cost of next-generation integrated circuit technologies, advanced substrate technology is an important carrier to support huge I/O enhancement as well as system integration in the field of advanced packaging, and is one of the core components in the post-Moore era. Currently, semi-additive process based on build-up film (BF) is one of the main ways to realize fine-pitch multilayer packaging substrates. In view of the increasingly prominent problem of signal integrity when electronic equipment operates in high-frequency and high-speed scenes, this paper deeply discusses the influence of physical property of BF materials and structural characteristics on signal transmission loss. Based on typical substrate structures such as microstrip lines and vias, the relationship

来稿日期: 2024-01-19 修回日期: 2024-03-10

基金项目: 国家自然科学基金项目(U20A20255); 深圳市科技计划项目(JSGG20210629144805017)

作者简介: 孔维坤(共同第一作者), 硕士, 研究方向为先进电子封装基板积层胶膜材料; 钟诚(共同第一作者), 博士, 研究方向为先进电子封装材料; 陈文博, 硕士, 研究方向为先进电子封装基板积层胶膜材料; 于淑会(通讯作者), 研究员, 研究方向为电介质材料, E-mail: sh.yu@siat.ac.cn; 孙蓉, 研究员, 研究方向为先进封装材料与技术。

between BF material parameters and signal transmission performance is studied by electrical simulation analysis system. It is found that in microstrip structure, the signal transmission loss increases with the increase of frequency, and this loss is closely related to the dielectric loss factor of BF material. However, in the via structure, the dielectric constant of BF material has a significant influence on the equivalent capacitance and impedance extreme value, and then affects the impedance mismatch. Although the characteristics of BF material have some influence on impedance mismatch, the design of via structure itself is still the main factor affecting impedance matching. In addition, the conductor loss caused by conductor skin effect increases with the increase of copper foil roughness at high frequency, which provides an important reference for the quality control of copper foil in the manufacturing process of packaging substrate. This study reveals the influence mechanism of BF material and structural characteristics on signal transmission loss, which provides a theoretical basis for the design and optimization of BF material with improved physical properties for packaging substrate.

Key words: Build-up film; substrate; microstrip line; vias; transmission loss; electrical simulation

Funding: This project is supported by National Natural Science Foundation of China (U20A20255) and Shenzhen Science and Technology Program (JSGG20210629144805017).

1 引言

随着第五代通信技术和集成电路的快速发展，人工智能产业正迎来新的机遇和挑战。人工智能 (Artificial Intelligence, AI) 芯片被认为是未来万物互联和各种智能应用落地的基础。在此过程中，AI 芯片的关键在于其算力和功耗。然而，由于摩尔定律几乎接近物理极限，AI 芯片的算力提升和功耗降低更加依赖于先进封装技术。同时，AI 芯片对于高带宽、低延时、低功耗等方面的要求不断提高，进一步加大了对封装设计的挑战。其中基板作为芯片封装的关键组成部分，不仅承载着芯片器件和封装工艺流程，还连接着芯片与印制电路板 (Printed Circuit Board, PCB)，对整个系统的性能有着至关重要的影响。

作为先进封装的核心载体，基板提供了电连接、保护、支撑和散热等关键功能。目前，封装基板的发展方向是朝着更薄、散热性更好、线路更加精细、集成度更高、制造周期更短迈进^[1]。在高端的倒装芯片中，70%~80%的成本来自于封装基板，这使得其成为封装材料中价值占比最高的一类材料。

在倒装芯片球栅阵列 (Flip Chip Ball Grid Array, FCBGA) 等一些高性能基板中，不断减小的线宽与线距有望大幅提升系统的电气性能，但也对基板的制备工艺提出了极大的挑战。基于积层绝缘胶膜 (也称“积层胶膜”，build-up film, BF) 材料的半加成法工艺是实现细间距多层封装基板的主要途径^[2,3,4]。

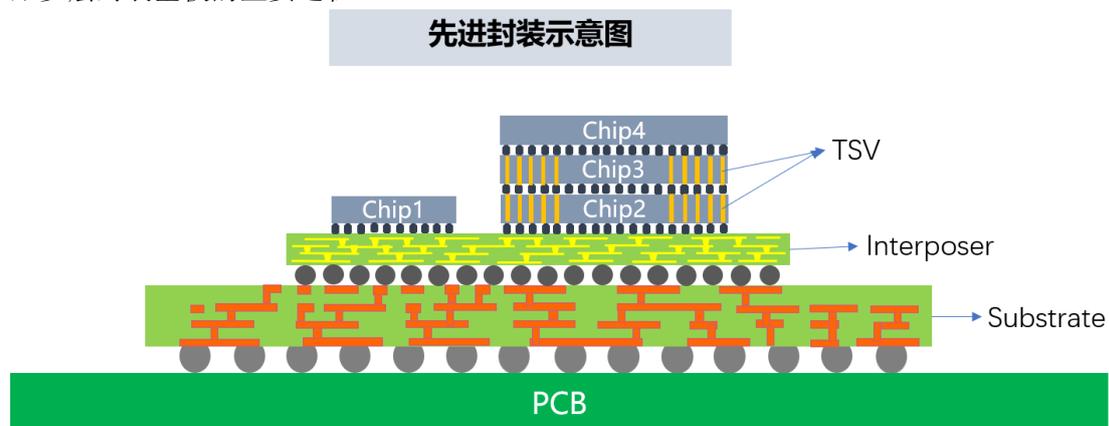


图 1 先进封装结构示意图

Fig. 1 Schematic diagram of advanced package

为了满足芯片基板更高的性能要求，味之素公司提供了由不同粒径的环氧树脂和二氧化硅组成的聚合物薄膜材料 ABF。根据 ABF 中环氧树脂基体固化反应的不同，可分为 GX 系列、GZ 系列和 GL 系列三种类型^[5]。GX 系列由苯酚与环氧树脂固化而成；GZ 系列是由氰酸酯与环氧树脂固化而成；GL 系列是由酚醛酯与环氧树脂通过插入反应固化而成。ABF 的类型从 GX 系列发展到 GL 系列，相应的二氧化硅填料含量从 38% 增加到 72wt %^[6]。这大大降低了热膨胀系数和损耗因子，使得高频信号传输过程中的信号传输损耗更低，同时显著提高了机械性能。聚合物的介电常数取决于其中存在的化学键和基团的极化率，而不同的化学键具有不同的极化率^[7]。一般来说，有机分子和键具有较低的极化率，因此介电常数较低的材料一般是聚合物。然而，极化率低也意味着分子基团的化学反应性低，导致聚合物的可加工性差，从机械可靠性的角度来看，则需要其与铜线路之间更高结合强度^[8]。由于这些相互冲突的性质，各种分子群的平衡是必要的，以实现聚合物电介质的电气和机械性能的期望组合。采用含有极性更强的官能团（如羰基和羟基）的环氧树脂以及较高的粗糙度有利于改善与铜等金属的附着力，但它们通常会导致更高的损耗^[9]。氰酸酯具有低介电常数和低介电损耗因子，已被引入到环氧基材料中以减少损耗^[10]。在聚合物的主链中存在加强剂，如苯环，限制了结构的迁移性，有助于实现低损耗^[11]。

由于现代电子系统传输频率越来越高，以及电路走线设计中各种高速接口技术的应用，封装基板信号线之间的传输损耗和串扰等信号完整性问题变得更加严重^[12,13]。当前，业界对于信号完整性问题已有若干研究。黄春跃^[14]等基于 HFSS 软件建立了球栅阵列 (Ball Grid Array, BGA) 焊点模型，分析了信号频率对电场强度分布的影响以及信号频率、焊点最大径向尺寸、焊盘直径和焊点高度对焊点回波损耗的影响；对 9 种不同参数水平组合的 BGA 焊点回波损耗进行了统计学极差分析。Chia^[15]等人针对多层封装非理想返回路径引起的信号完整性问题，重点研究了在特定频率下可能出现的几种谐振模式。他们考察了非理想返回路径对带状线和微带线信号的信号完整性的影响，提出了多层封装的最优堆叠设计。Guan、Deng^[16,17]等通过缩短过孔短线、去除非功能焊盘、增加更多接地过孔等结构优化的方式优化 S 参数，从而提高了系统信号完整性。已有文献大都着重研究基板结构对于信号完整性的影响，通过优化结构的方式改善信号完整性，而鲜有针对积层胶膜材料的研究，其中一个重要原因是这种材料基本由日本味之素公司独家提供，无论是厂家还是研究人员均无法对基板 BF 材料的特性做出调控。实际上，研究基于 BF 的多层封装基板结构的信号完整性问题，深入理解 BF 的材料级性能与器件级性能之间的内在关联，从而实现材料的可控开发与定制开发，具有重要的理论与实际意义。在本文中，我们主要基于微带线、过孔等典型基板结构，以传输线理论为牵引，利用电磁仿真软件，系统研究了自研 BF (CBF) 材料及结构特征对于信号传输损耗的影响。此外，还讨论了铜箔粗糙度对信号传输损耗的影响。研究结果对于优化材料性能具有一定的参考意义。

2 理论与材料

在基板结构中，不同形状的导线与过孔是最为基本与重要的结构，导线负责信号在层内传输，过孔负责信号在层间传输。因此，在本文中，我们主要基于典型导线及过孔结构，研究 BF 材料及结构特征对于信号传输损耗的影响。

2.1 损耗概念及影响因素

损耗是指信号在传输过程中消耗的能量或功率，它可以是由电阻、传输线、器件和介质等引起的能量损失。在信号传输过程中由于损耗会导致信号的功率衰减和幅度减小，严

重影响信号的传输距离和可靠性。

当今环境下的芯片互连几乎都表现出传输线特性^[18]。传输线是指能够传输电信号的连接器，常见的传输线有微带线、带状线、电缆、连接器等等。当封装基板中互连线的物理长度大于信号上升边沿的六分之一时必须将其视为传输线。我们首先基于传输线理论，简要论述影响损耗的主要因素。

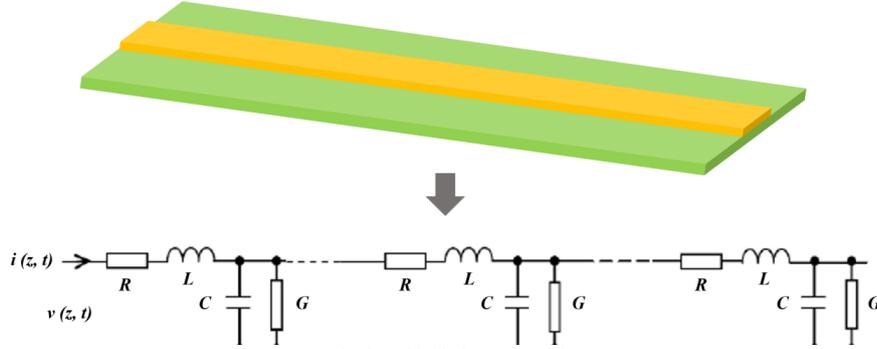


图 2 传输线等效电路的示意图

Fig. 2 Schematic diagram of equivalent circuit of transmission line

如图 2 所示，根据传输线理论，在信号传输过程中传输线可以等效为多段 $RLGC$ 电路模型。其中 R 和 L 表示单位长度的串联电阻和电感， C 表示金属导体与地平面之间的单位长度并联电容， G 表示由电介质的泄漏电流和介质损耗引起的单位长度并联电导。传输线的损耗根据来源进行分析，通常包含导体损耗和介质损耗两种^[19]，损耗的大小用损耗常数 α 来描述：

$$\alpha = \alpha_{cond} + \alpha_{diel} \quad (1)$$

$$\alpha_{cond} = \frac{R}{2} \sqrt{\frac{C}{L}} = \frac{R}{2Z} = k \times \frac{\rho \sqrt{f}}{wZ} \quad (2)$$

$$\alpha_{diel} = \frac{G}{2} \sqrt{\frac{L}{C}} = \frac{GZ}{2} = k \times f \times \sqrt{D_k} \times D_f \quad (3)$$

上式中 α_{cond} 代表了导体损耗系数， α_{diel} 代表了介质损耗系数， k 代表与结构有关的常数， ρ 代表了导体的电阻率， w 代表了信号传输结构对应的导体的宽度， f 代表了频率大小， D_k 代表了介质的相对介电常数， D_f 代表了介质的损耗角正切值。由其表达式可见导体损耗系数正比于频率的平方根，介质损耗系数正比于频率本身，因而可以预见损耗的来源与频率密切相关。简单来看，导体损耗在低频段影响较大，介质损耗在高频段影响较大。对于 BF 材料，了解其物性参数在典型结构中不同信号传输频率下的损耗及组成，对理解其在实际工作环境中的器件级电学性能，具有重要的现实意义。

2.2 积层胶膜材料物性

随着电子产品的多元化和功能复杂化，在不同应用领域和场景下，对封装结构及封装材料的性能提出了不同程度的要求。例如，基于不同的应用场景，可能使用具有不同物性参数的 BF 材料。以 CBF 为例，当前已经推出若干型号的产品，其主要特性参数如表 1 所示。

表 1 CBF 材料型号及物性参数

Table 1 CBF material model and physical property

CBF 物性参数	CBF-007	CBF-014	CBF-018
Min. Melting temperature (°C)	125	110	113
Min. Melting viscosity (Pa*s)	82	63	26
T_d (°C)	380	387	382
T_g (°C)	201	178	185
CTE x-y/25-150°C (ppm/°C)	20	29	36
CTE x-y/150-240°C (ppm/°C)	66	110	123
Young's modulus (GPa)	9	8	6.3
Tensile strength (MPa)	70	98	90
Elongation (%)	2.2	2.3	5.1
Dielectric constant/10 GHz (F/m)	3.39	3.33	3.37
Dielectric loss/10GHz	0.008	0.011	0.014

基于传输线理论分析，电介质材料的电学性能参数(主要包括 D_k 与 D_f)是影响信号传输的重要因素。为了研究 BF 介电特性对信号传输损耗的影响，本文首先基于微带传输线结构，对自主研发不同型号的 CBF 材料 (CBF-007、CBF-014、CBF-018) 进行了电学仿真研究，具体型号及实测性能参数如表 2 所示。此外，为了更加清晰地理解 D_k 与 D_f 对于损耗的影响，进一步设计了一系列具有不同 D_k 与 D_f 的介质材料以供对照，具体参数如表 3 所示。

表 2 CBF 部分型号及实测性能参数表

Table 2 CBF Part type and Measured Performance Parameter Table

Medium	D_k	D_f
CBF-007	3.39	0.008
CBF-014	3.33	0.011
CBF-018	3.37	0.014

表 3 仿真所需对照组参数

Table 3 Parameters of control group required for simulation

Medium	D_k	D_f
Reference-1	3.10	0.011
Reference-2	3.33	0.011
Reference-3	3.50	0.011
Reference-4	3.33	0.008
Reference-5	3.33	0.014

3 结果与讨论

3.1 积层胶膜材料物性对损耗的影响

3.1.1 微带线损耗研究

通常所说的损耗一般指的是插入损耗，即接收端得到的功率与入射端入射波的功率比值。S 参数，也称为散射参数或传输参数，用于描述电路中各个端口之间的电磁波传输情

况，以及电路对入射信号的散射反应^[20]。它本质上是传输网络中一组描述行波的散射参数的集合，在高频高速段便于应用。 S 参数中的正向传输系数 S_{21} 表示传输前后的电压振幅比值，也等于输出功率与输入功率比值的平方根，因此可以直接使用 S 参数来描述插入损耗的大小。另外，反射系数 S_{11} 表示信号返回入射端的现象，也是插入损耗的一部分，称为回波损耗。业界一般常用 S_{21} 与 S_{11} 研究信号传输损耗问题。

封装基板中存在着微带线、带状线、共面波导等传输结构，本研究重点研究 BF 材料特性对于信号损耗的影响，但是由于带状线与共面波导线相较于微带线会受到更多接地铜面的影响，这将会影响本文基于积层胶膜材料的研究，因此本研究在 HFSS 仿真软件中构建了微带传输线模型并且没有进行阻抗匹配，若进行阻抗匹配则需对结构进行修改调整，无法控制单一变量，结构如图 3 所示，图中 a 为传输线结构示意图，图 b 为仿真软件中实际构建模型，其中传输线的线宽为 $20\mu\text{m}$ 、线厚为 $12\mu\text{m}$ 、线长为 2mm 。模型采用波端口激励、Radiation 边界条件以及赋予铜 Finite Conductivity 的边界条件。

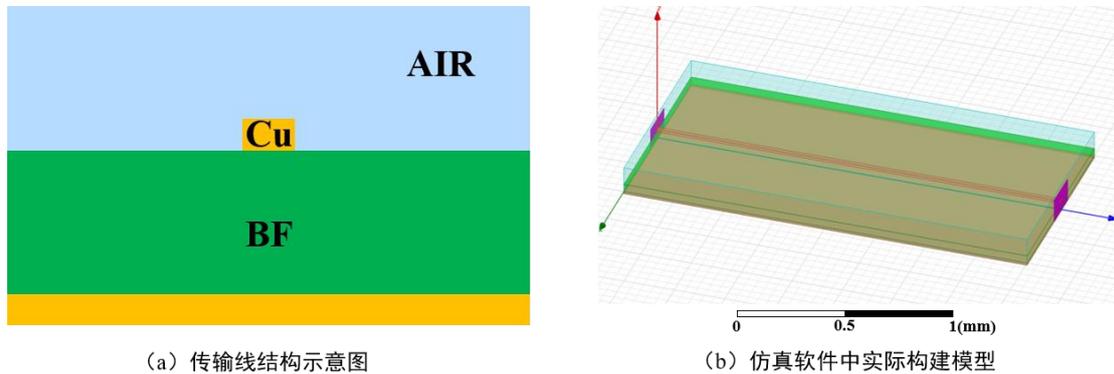


图 3 传输线结构图

Fig. 3 Transmission line structure diagram

图 4 为使用表 2 中三种型号 BF 在 0-30GHz 内的损耗仿真结果图。由图 4 可知，随着频率的升高，插入损耗、介质损耗和导体损耗都呈现出增加的趋势。对比使用不同 BF 的结果发现，传输线的介质损耗差异较大，而导体损耗几乎不变，且插入损耗是介质损耗与导体损耗累加的结果，与上述公式 (1) 相一致。显然，介质损耗在高频下更显著，这对于 BF 材料的电学性能在高频场景下的应用提出了更高的要求。

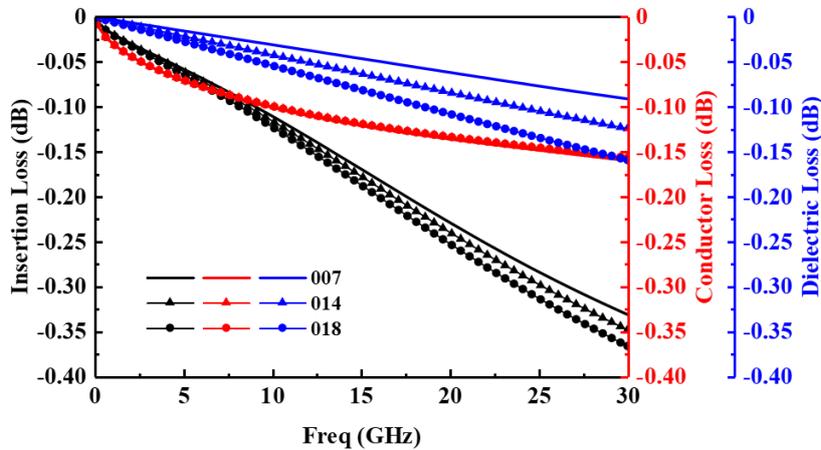


图 4 使用 CBF 三种型号的传输线的 0-30 GHz 损耗仿真结果图

Fig. 4 Simulation results of 0-30 GHz loss of three types of transmission lines using CBF

基于表 3 的参数进一步阐释不同频率下 BF 材料的 D_k 与 D_f 对导体损耗与介质损耗的

影响。图 5 为表 3 中的材料在 0-60GHz 下介质损耗和导体损耗结果。由图 5 可知，随着介质材料 D_k 的提高，介质损耗变化很小。而随着介质材料 D_f 的提高，介质损耗明显增大。此结果基本与公式 (3) 的描述相对应：介质损耗与介质材料的 D_k 的平方根成正比，与其 D_f 成正比。此外，介质损耗与频率成正比，频率越高介质损耗越大，总的插入损耗也相应越大。总的来说，采用低 D_k 与低 D_f 的封装基板材料对于降低传输损耗从而保证信号质量具有十分积极的意义，而其中 D_f 相较于 D_k 起到了更加重要的作用。此外，从图 5 中还能看到，在 0-60GHz 范围内，介质损耗在高频下明显增加。对于 D_f 达到 0.014 的 BF，其介质损耗在大于 30GHz 时已超过导体损耗，成为了损耗源中的主体。

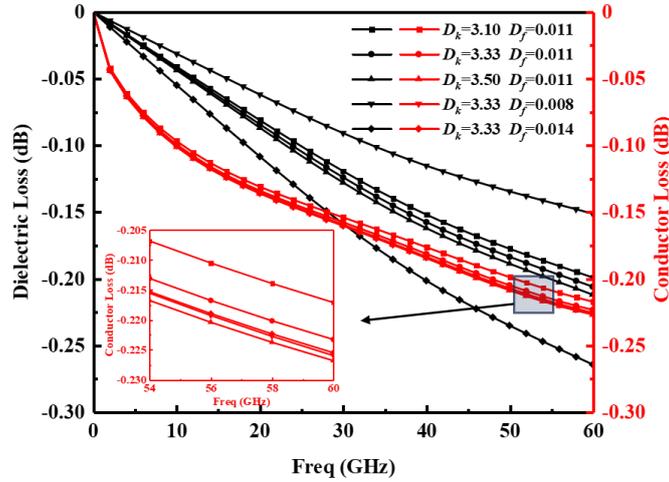


图 5 使用不同对照组介质的 0-60 GHz 介质损耗和导体损耗图

Fig. 5 0-60 GHz dielectric loss and conductor loss diagrams using different control media

3.1.2 基于传输线理论的损耗分析

由图 5 可知，导体损耗随频率的升高而增加，这可能由于高频下的趋肤效应密切相关。在高频下，电流趋向于分布在导体的表面，使得导体的等效电阻增加，并导致最终的导体损耗增加。同时，图 5 中的局部放大图显示导体损耗随着 D_k 的增大而略微增大，而 D_f 对导体损耗几乎没有影响。在下文中，我们利用 Q3D 仿真软件提取 RLGC 参数并结合传输线理论，从 BF 的物性参数对 R、L、G、C 等参数的影响方面分析，来系统讨论 BF 的物性参数对导体损耗的影响。

图 6 (a-b) 是使用 CBF-014 的传输线的 RLGC 图，其清楚地显示了等效 RLGC 与频率的相关性。图 6 (a) 显示传输线等效电阻 R 随着频率的升高而变大，等效电感随频率的升高而减小并逐渐趋于平稳；而由图 6 (b) 可知等效电容 C 随频率升高而减小并趋于平稳，等效电导 G 随频率升高而变大。这将分别导致传输线的导体损耗与介质损耗增大，与公式 (2) (3) 相对应。

基于传输线理论，电路都可以简化为 R、L、G、C 等效模型。经验证发现，这几个参数中，与 BF 密切相关的是 G 和 C，如图 6 (c-d) 所示，而 R、L 几乎不受 BF 参数变化的影响，这里不再显示。由图 6 (c) 可知，介质的 D_k 、 D_f 增大都会导致等效电导 G 增大。而介质材料的 D_f 的改变对于等效电导的影响更加显著，这也与上文中介质损耗和插入损耗随 D_f 改变更加显著的结果一致，与公式 (3) 也可相互印证。由图 6 (d) 可知，随着介质 D_k 的增大等效电容增大，从而导致传输线阻抗的减小，而介质的 D_f 改变则等效电容与阻抗基本不变，因此介电损耗对导体损耗几乎无影响，该结果结合公式 (2)，可以解释上

文中导体损耗随介质 D_k 改变，而基本不随 D_f 改变。以上基于传输线模型的 R、L、G、C 分析，可以进一步阐释传输损耗随着频率变化的内在机制。

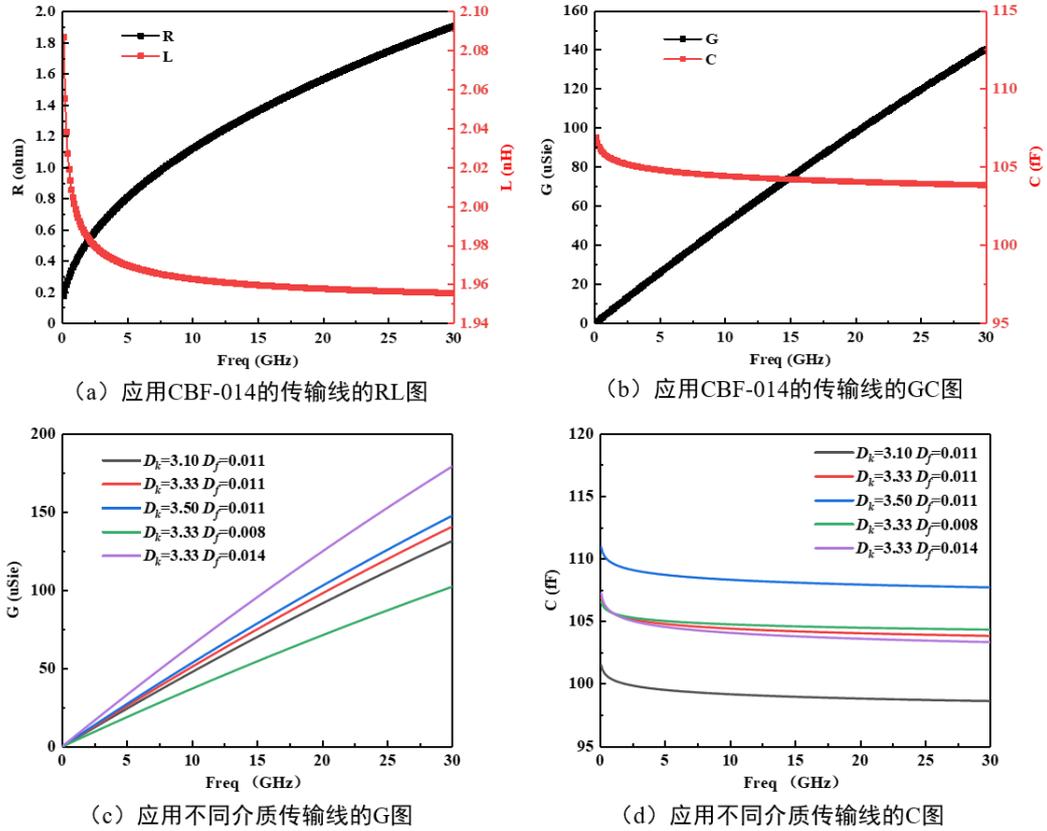


图 6 应用不同介质传输线的等效参数图

Fig. 6 Equivalent parameter diagram of transmission lines using different dielectrics.

3.2 过孔结构损耗研究

在多层封装基板中，过孔负责层间连接，是基板中重要的结构特征。过孔结构类型有很多种，其连接的线路层数也各不相同，有的贯通了基板中间的核心层，为其两侧提供互连(通孔)，有的仅在一侧连接相邻两层(盲孔)。本研究主要考虑 CBF 应用于多层封装基板时的情况，故选择了未穿过基板中间核心层 (core layer) 的过孔结构作为研究对象，如图 7 所示。该过孔的引入实现了表层线路和内部线路的互连，穿越了多层源/地平面，涉及信号传输路径的转换。

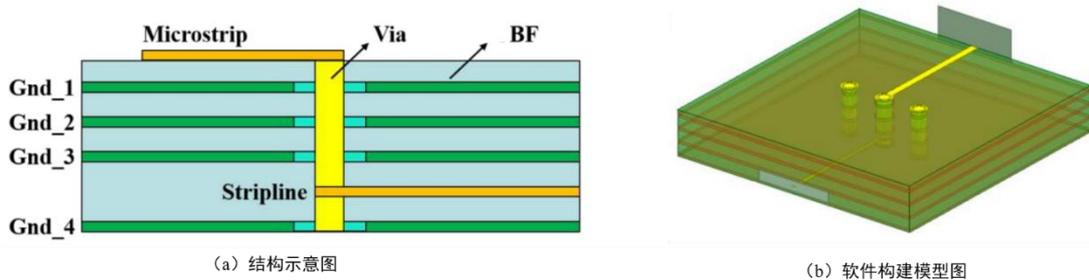


图 7 过孔结构的多层基板示意图

Fig. 7 Schematic diagram of multilayer substrate with via structure

3.2.1 阻抗匹配

当信号从一个传输介质进入另一个传输介质时，如果两个介质之间存在阻抗不匹配或传输线特性不匹配等情况，部分信号会反射回原始介质或器件，形成反射波。信号在传输过程中其瞬时阻抗并不是恒定的，在瞬时阻抗发生变化的地方称为阻抗突变^[21]，反射是由于传输介质之间存在阻抗差异造成的。实际上信号在封装基板内部的结构中传输时会遇到诸多阻抗突变的情况，例如传输线拐弯、过孔结构、分支线以及键合线等。

如果两者的阻抗不匹配，部分能量无法顺利传输到目标介质，而是反射回来，则会导致反射波与入射波同时存在于传输线上，产生波形失真和干扰，如图 8 所示。

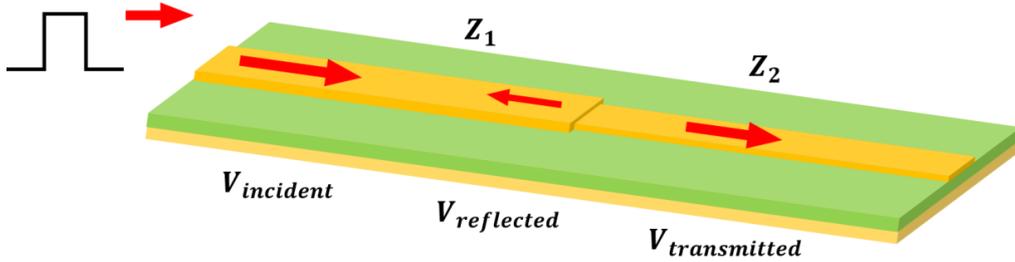


图 8 信号在阻抗突变处发生反射

Fig. 8 The signal is reflected at the abrupt change of impedance.

反射的影响取决于反射系数 γ ，其表达式如下：

$$\gamma = \frac{V_{ref}}{V_{in}} = \frac{Z_2 - Z_1}{Z_2 + Z_1} \quad (4)$$

它表示反射波幅度与入射波幅度之间的比例关系。反射系数的大小取决于阻抗不匹配的程度。当阻抗完全匹配时，反射系数为零，即无反射；当阻抗完全不匹配时，反射系数为 1，即完全反射。

根据前文，BF 材料的 D_k 、 D_f 均会影响电路的等效 L、C，从而导致电路的阻抗发生变化，产生阻抗不匹配的现象，这也会导致过孔的信号完整性发生改变。本研究主要采用 S 参数和 Z 参数来表征不同介质材料参数对过孔结构以及整个封装基板模型的信号传输影响。

3.2.2 过孔结构的损耗

图 9 是使用不同介质过孔结构的 S 参数结果图。相较于微带传输线，过孔结构的反射和损耗都大幅上升。首先，反射十分明显，在 10-60GHz 反射系数 S11 大部分都在 -5dB 到 -2.5dB 的范围内，这是过孔结构本身带来的阻抗不匹配造成的，与介质材料的 D_k 与 D_f 关系不大。换言之，过孔结构的影响难以通过改变介质材料性能来消除。

此外，回波损耗的曲线上在 20GHz、37.7 GHz、55 GHz 附近存在明显的波谷，说明发生了谐振现象，而这都是过孔结构本身存在的问题。在特定频率下，电路结构可能会显示出谐振和反谐振的特性，过孔的引入使其更为常见。这意味着在该频率下，过孔结构对电磁波的响应会增强或减弱，这个特定的频率即为电源/地平面的谐振点和反谐振点。这可能导致信号传输的失真、信号干扰或其他不良影响，导致传输效果变差。由于过孔的存在而引起的返回路径平面谐振和反谐振导致上述现象频发^[22-26]。

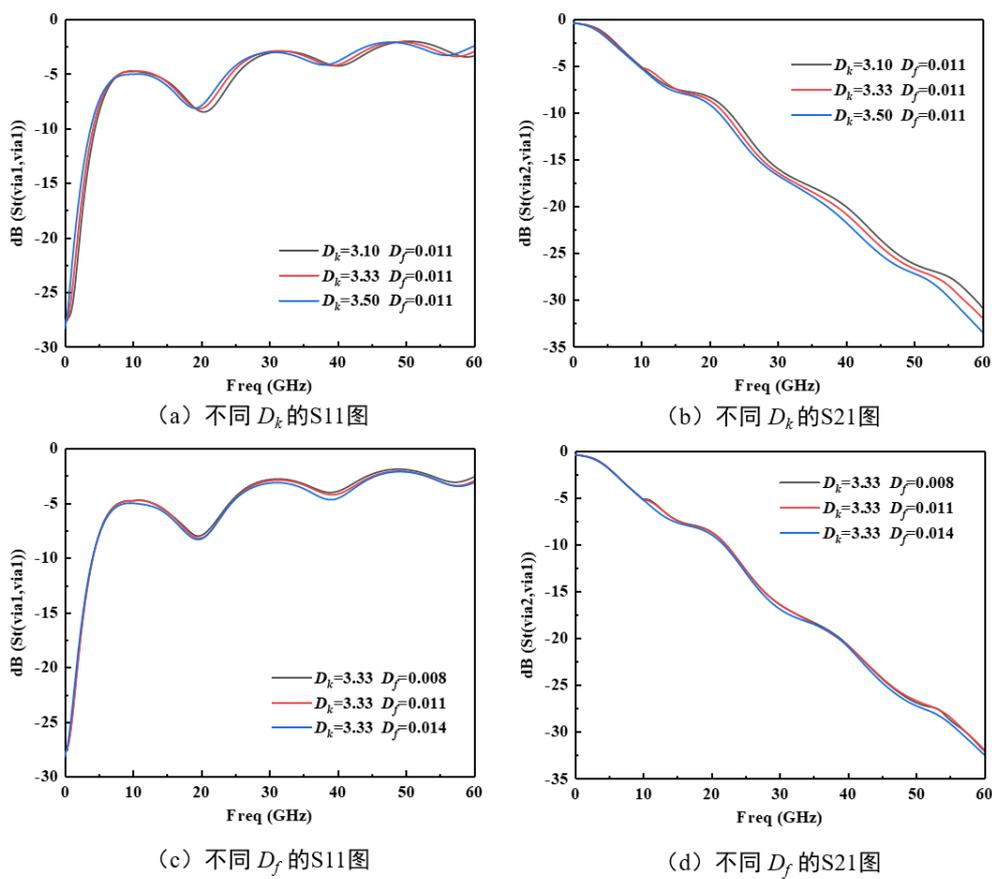


图 9 应用不同介质过孔的 S 参数图

Fig. 9 S-parameter diagram of vias with different dielectrics

对于一个电路而言其存在一个固有频率，它取决于其结构特性、和板层间介质的性质，当给予的激励频率恰好等于电路的固有频率时，谐振就会发生，表现为电磁振荡的振幅达到了峰值。反之，当电磁振荡的振幅达到最低值时则为反谐振。

由图 9(a) 与 (c) 可知，谐振点会受介质材料 D_k 影响，而与 D_f 几乎无关。增大介质材料的 D_k ，可以使得电路的谐振点前移。相应地，较未引入过孔结构前，插入损耗受回波损耗改变的影响也大幅增加，在高频的 60GHz 附近普遍达到了约 -30dB。

3.2.3 过孔结构的阻抗

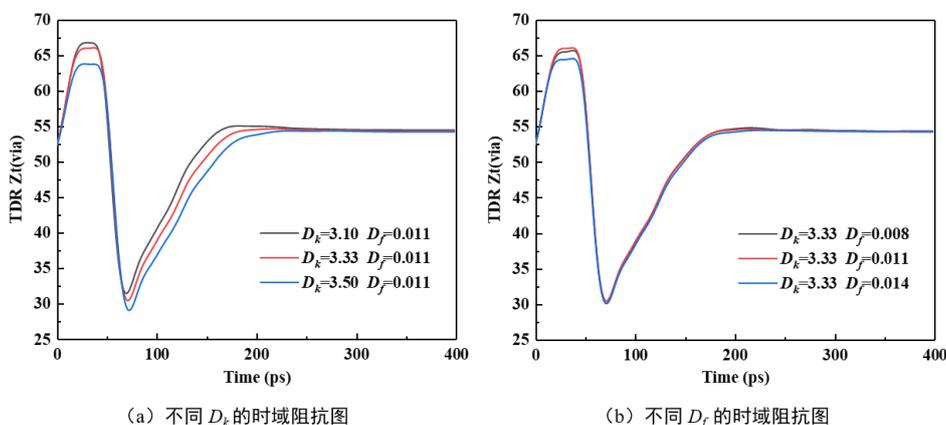


图 10 使用不同介质过孔的时域阻抗图

Fig. 10 Time domain impedance diagram of vias using different dielectrics

如前文所述，引起反射的主要原因是存在阻抗不匹配现象。阻抗(Z)参数结果如图 10 所示。为了更加直观地体现阻抗在经过过孔前后的变化，在时域内进行研究。可以看到，因为过孔结构的引入，使得阻抗出现先上升后急剧下降的现象，其极值受介质材料的 D_k 的影响较显著，而与 D_f 关系不大，其主要是因为上文讨论过介质的 D_k 对等效 C 的贡献较大而 D_f 基本无影响。

3.3 界面粗糙度对传输损耗的影响

在实际工艺制造中，不论是压合还是电镀工艺，都会因为材料界面、设备精度以及要考虑线路与介质的结合力的原因，造成不同粗糙程度的接触面，然而，对于信号传输来说，这种粗糙界面一般会产生一定的不利影响。因此本研究将讨论粗糙度对于损耗的影响规律。

在电学仿真中，研究粗糙度对信号传输损耗的模型包括 Groiss、Hammerstad 以及 Huray 等。

其中 Hammerstad 模型定义：高频信号流动时阻抗随频率增加，需同时考虑趋肤效应和表面粗糙度的影响，如公式 (5) 所示^[27]：

$$R_{ac} = K_H R_S \sqrt{f} \quad (5)$$

Hammerstad 系数：

$$K_H = 1 + \frac{2}{\pi} \tan^{-1} \left[1.4 \left(\frac{\Delta}{\delta} \right)^2 \right] = 1 \sim 2 \quad (6)$$

这个 K_H 系数的另一个物理含义是 P_{rough} / P_{flat} ^[28]，其中 Δ 表示表面的粗糙度， δ 表示趋肤深度，它们都是以长度为单位。Hammerstad 模型在 2 会发生饱和，其经常只用于 $H_{RMS} < 2\mu\text{m}$ ，Hammerstad 模型对于高粗糙度的界面是失效的，所以需要其他模型。

Huray 模型认为颗粒堆积的形状是如下图 11 所示的结果，以 3D 的雪球模型描述：

假设以六边形构成底面单元，每个单元再以不同数目的球堆成金字塔形状^[29]。

Huray 的物理效应模型需要三个参数： A_f ，单位六边形的面积；N，每个单位六边形所含“雪球”数；a，“雪球”的半径，由此可得 Hall-Huray Surface Ratio (SR)^[30-33]：

$$SR = \frac{N4\pi a^2}{A_f} \quad (7)$$

$$Z_{rough} = Z_{smooth} \left(\frac{P_{rough}}{P_{smooth}} \right) = Z_{smooth} factor \quad (8)$$

其中

$$factor = \frac{P_{rough}}{P_{smooth}} = 1 + \frac{3}{2} SR \frac{1}{1 + \frac{\delta}{a} + \frac{\delta^2}{2a^2}} \quad (9)$$

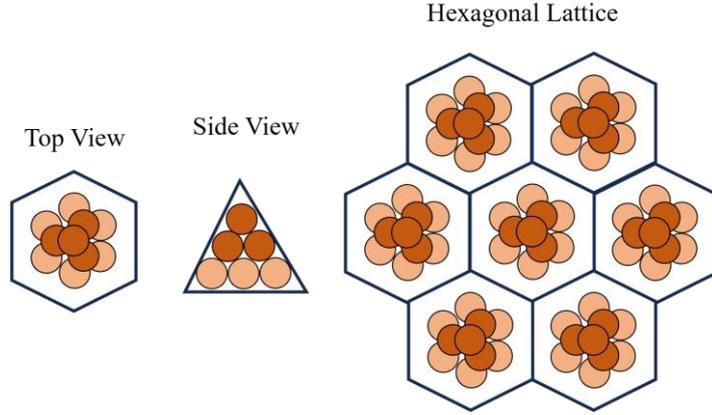


图 11 Huray 模型雪球堆积示意图
Fig. 11 Schematic diagram of snowball accumulation in Huray model

Groiss 表面粗糙度模型是导体表面粗糙度和趋肤深度的简单函数^[34]:

$$R_{fact} = 1 + e^{-\left(\frac{\delta}{2S}\right)^2} \quad (10)$$

其中, S 是表面粗糙度(以长度为单位); δ 是趋肤深度。一旦确定了 Groiss 表面粗糙度因子, 粗糙表面阻抗就确定如下:

$$Z_{rough} = R_{fact} \times Z_{smooth} \quad (11)$$

随着基板向着集成度更高的方向发展, 基板线路加工更加精细, 要求接触面具有更低的粗糙度。本文采用了 Groiss 模型对粗糙度开展仿真分析。尽管其与上述 Hammerstad 模型类似不适用于对高粗糙度的界面的仿真, 但足以满足对于精细线路低粗糙度的研究。在本研究中使用 $D_k = 3.33$ 、 $D_f = 0.011$ 的 CBF-014 作为介质材料, 采用与上文相同结构参数的微带传输结构, 研究了不同粗糙度对于损耗的影响, 粗糙度设置为 0、0.1、0.2、0.3 μm 四个梯度。其导体损耗如图 12 所示。

由图 12 可得, 在 5GHz 前铜箔粗糙度对损耗几乎无影响, 随着频率越来越高导体损耗随着铜箔粗糙度的增加而增加。由公式 (10) 可知粗糙度越大即 S 越大, $\delta/2S$ 越小, R_{fact} 越大, 导致损耗越大。

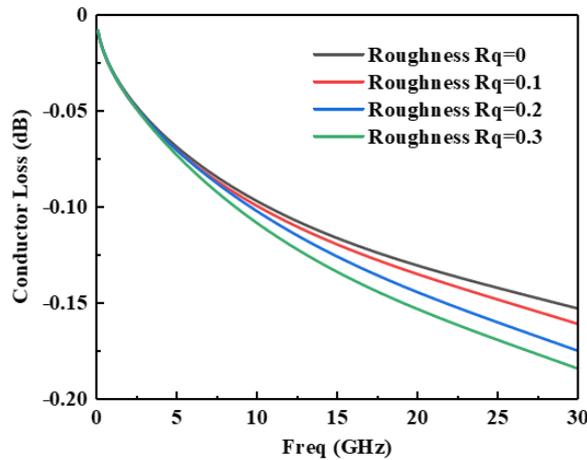


图 12 不同粗糙度传输线的导体损耗图
Fig. 12 Conductor loss diagram of transmission lines with different roughness

4 结论

目前,对于优化封装基板信号传输主要分为对积层胶膜材料配方工艺等方面的研究以及对基板结构设计的优化,如 Fujishima S 等^[6]通过将二氧化硅填料含量从 38% 增加到 72wt % 大大降低了损耗因子,使得高频信号传输过程中的信号传输损耗更低,这与本文中的 D_f 的影响结果一致; Kempa S 等^[9]研究发现采用较高的粗糙度有利于改善与铜等金属的附着力,但它们通常会导致更高的损耗,这也与本文中关于粗糙度的影响结果相一致,材料与铜相接触的界面越粗糙信号损耗越严重。同时在此基础上进一步细化分析了不同因素对导体损耗、介质损耗及等效 RLGC 参数的影响,得出以下结论:

(1) 微带线损耗随着频率的变高而增大,这是介质损耗与导体损耗叠加的结果。在低频时导体损耗大于介质损耗,是总损耗的主体,但随着频率的增加,导体损耗增加速度逐渐放缓,介质损耗增加速度保持不变,使得在高频时介质损耗成为主体。这一现象与 BF 材料的 D_k 、 D_f 相关,其中 D_f 更加显著,其越大介质损耗增速越快,在更低的频率超越导体损耗。

(2) RLGC 参数中 G 和 C 与 BF 材料密切相关,而 R、L 几乎不受 BF 参数变化的影响。介质的 D_k 、 D_f 增大都会导致等效电导 G 增大,而介质材料的 D_f 的改变对于等效电导 G 的影响更加显著,这也与上文中介质损耗和插入损耗随 D_f 改变更加显著的结果一致。随着介质 D_k 的增大等效电容 C 增大,从而导致传输线阻抗的减小,而介质的 D_f 改变则等效电容与阻抗基本不变,因此 D_f 对导体损耗几乎无影响。

(3) 过孔的结构特征对信号的传输损耗影响较大,主要由于过孔结构带来的阻抗不匹配引发信号反射,导致信号损耗较大。BF 材料对于过孔信号损耗的影响则主要体现在其 D_k 对于等效电容 C 的影响以及阻抗的极值大小,从而影响阻抗的不匹配度,总体来说 BF 材料对过孔损耗影响较小。此外 BF 材料 D_k 的改变也会改变过孔结构发生谐振的频率,增大介质材料的 D_k , 可以使得电路的谐振点前移。

(4) 粗糙度在低频时对于信号传输影响不大,随着频率的增加,受导体趋肤效应影响,导体损耗会随着铜箔粗糙度的增加而增加。

参考文献

- [1] Andrea C, Randy HL. Semiconductor packaging: materials interaction and reliability [M]. CRC Press, 2012: 3-9
- [2] 师研, 高艳茹. 电路板用低介电纤维布 [J]. 印制电路信息, 2008(06): 25-29.
Shi Y, Gao YR. Low dielectric fiber cloth for circuit boards [J]. Printed circuit information, 2008(06): 25-29.
- [3] 祝大同. 对 PCB 用树脂膜新技术与新市场的探讨 [C] // 第十九届中国覆铜板技术研讨会论文集. 2018: 7-28.
Zhu DT. Discussion on new technology and market of resin film for PCB [C] // Proceedings

-
- of the 19th China Copper Clad Laminate Technology Seminar, 2018: 7-28.
- [4] 王万兴, 王耀先. BT 树脂及其改性研究进展 [C] // 第十八届玻璃钢/复合材料学术年会论文集, 2010: 162-165.
Wang WX, Wang YX. Research progress of BT resin and its modification [C] // Proceedings of the 18th Annual Conference on FRP / Composites, 2010: 162-165.
- [5] Ding S, Fang Z, Yu Z, et al. Research progress of interfacial adhesion force of copper plating on Ajinomoto build-up films for chip substrates [J]. *Materials Today Communications*, 2023: 107201.
- [6] Fujishima S, Sakauchi H. Recent trend of layer-to-layer insulation resin for high frequency package [C]//2017 International Conference on Electronics Packaging (ICEP). IEEE, 2017: 337-340.
- [7] Wei J, Zhu L. Intrinsic polymer dielectrics for high energy density and low loss electric energy storage[J]. *Progress in polymer science*, 2020, 106: 101254.
- [8] Nimbalkar P, Bhaskar P, Kathaperumal M, et al. A review of polymer dielectrics for redistribution layers in interposers and package substrates [J]. *Polymers*, 2023, 15(19): 3895.
- [9] Kempa S, Friz W, Gaul F, et al. Investigation of a proactive glass filler removal in IC substrate build up films and its effect on topography and copper adhesion reliability [C]//Additional Conferences (Device Packaging, HiTEC, HiTEN, & CICMT). International Microelectronics Assembly and Packaging Society, 2019, 2019(DPC): 000453-000473.
- [10] Salunke A, Sasidharan S, Cherukattu Gopinathanicker J, et al. Cyanate ester—epoxy blends for structural and functional composites [J]. *Industrial & Engineering Chemistry Research*, 2021, 60(8): 3260-3277.
- [11] Sundaram V. Advances in electronic packaging technologies by ultra-small microvias, super-fine interconnections and low loss polymer dielectrics [M]. Georgia Institute of Technology, 2009.
- [12] Ma Y, Gontrand CM. Power, thermal, noise, and signal integrity issues on substrate / interconnects entanglement [M]. Florida: CRC Press, 2019.
- [13] 畅艺峰, 康健, 邹旭军, 等. 不同传输模式下多芯片组件串扰的建模与仿真 [J]. *通信技术*, 2018, 51(9): 2064-2068.
Chang YF, Kang J, Zou XJ, et al. Modeling and simulation of crosstalk of multi-chip components in different transmission modes [J]. *Communication Technology*, 2018, 51(9): 2064-2068.
- [14] 黄春跃, 郭广阔, 梁颖, 等. 基于 HFSS 的高速互连 BGA 焊点信号完整性仿真分析 [J]. *系统仿真学报*, 2014(12): 2985-2990.
Huang CY, Guo KK, Liang Y, et al. Simulation analysis of BGA solder joint signal integrity based on HFSS [J]. *Journal of System Simulation*, 2014(12):2985-2990.
- [15] Tsai MY, Chen Y, Lee S. Correlation between measurement and simulation of thermal warpage in PBGA with consideration of molding compound residual strain [J]. *IEEE Transactions on Components & Packaging Technologies*, 2008, 31(3): 683-690.
- [16] Guan YL, Zhou SL. The use of taguchi method for robust optimization of PCB differential-via [C] // 2013 IEEE International Conference on Microwave Technology & Computational Electromagnetics, 2013: 26-29.
- [17] Deng YY, Li ZJ, Yu YT, et al. S Parameters optimization of high-speed differential vias model on a multilayer PCB [C] // 2022 23rd International Conference on Electronic

-
- Packaging Technology (ICEPT), 2022: 1-4.
- [18] Vishal L, Madhavan S. Correlation of PDN impedance with jitter and voltage margin for high-speed channels [C]. Electrical Performance of Electronic Packaging, IEEE-EPEP. IEEE, 2008(10): 73-76.
- [19] Eric B. Signal integrity: simplified [M]. New Jersey: Prentice Hall PTR, 2003: 466-473.
- [20] Naik BH, Misbahuddin M and Paidimarry CS. S-Parameter modeling and analysis of RGLC interconnect for signal integrity [C] // 2017 International Conference on Recent Trends in Electrical, Electronics and Computing Technologies (ICRTEECT), 2017: 11-16.
- [21] Eric B. Signal integrity: simplified [M]. New Jersey: Prentice Hall PTR, 2003: 466-473.
- [22] 方志坚, 姜育峰, 王力. 减小 PCB 微带线间串扰方法分析 [J]. 印制电路信息, 2007(9): 34-36.
- Fang ZJ, Jiang YF, Wang L. Analysis of methods to reduce crosstalk between PCB microstrip lines [J]. Printed Circuit Information, 2007(9): 34-36.
- [23] 郑常斌, 张丹, 黎淑兰, 等. PCB 上两平行微带线的串扰分析 [J]. 安全与电磁兼容, 2007(3): 73-76.
- Zheng CB, Zhang D, Li SL, et al. Crosstalk analysis of two parallel microstrip lines on PCB [J]. Safety and Electromagnetic Compatibility, 2007(3): 73-76.
- [24] 孟晶, 俞能杰. 高速 PCB 板谐振仿真与分析 [J]. 现代电子技术, 2014, 37(10): 4-6.
- Meng J, Yu NJ. Simulation and analysis of high-speed PCB resonance [J] Modern Electronic Technology, 2014, 37(10): 4-6.
- [25] Li J, Shi Y, Niu Z, et al. Modeling simulation and optimization design of PCB planar transformer [C]. Eighth International Conference on Electrical Machines and Systems, 2005: 1736-1739.
- [26] OuYang ZW, Thomsen OC, Andersen MAE. Optimal design and tradeoff analysis of planar transformer in high-power DC-DC converters [J]. IEEE Transactions on Industrial Electronics, 2010, 59(7): 2800-2810.
- [27] Hammerstad E, Jensen O. Accurate models for microstrip computer-aided design [C] // 1980 IEEE MTT-S International Microwave symposium Digest, 1980: 407-409.
- [28] Huray PG, Oluwafemi O, Loyer J, et al. Impact of copper surface texture on loss: A model that works [J]. DesignCon, 2010: 1-4.
- [29] Simonovich L. Practical method for modeling conductor roughness using cubic close-packing of equal spheres [C] // 2016 IEEE International Symposium on Electromagnetic Compatibility (EMC), 2016: 917-920.
- [30] Huray PG, Hall S, Pytel S, et al. Fundamentals of a 3-D "snowball" model for surface roughness power losses [J]. IEEE Electromagnetic Compatibility Magazine, 2020, 9(2): 62-65.
- [31] Hall S, Pytel SG, Huray PG, et al. Multigigahertz causal transmission line modeling methodology using a 3-D hemispherical surface roughness approach [J]. IEEE Transactions on Microwave Theory and Techniques, 2007, 55(12): 2614-2624.
- [32] Pytel SG, Huray PG, Hall SH, et al. Analysis of copper treatments and the effects on signal propagation [C] // 2008 58th Electronic Components and Technology Conference, 2008: 1144-1149.
- [33] Pytel SG. Multi-gigabit data signaling rates for PWBs including dielectric losses and effects of surface roughness, PhD. Dissertation, University of South Carolina, 2007.

-
- [34] Groiss S, Bardi I, Biro O, et al. Parameters of lossy cavity resonators calculated by the finite element method [J]. IEEE Transactions on Magnetics, 1996, 32(3): 894-897.